

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : Jong-Jin LEE et al.

Serial No. : TBA **Examiner :** TBA

Filed : Herewith **Group Art Unit:** TBA

For : **PACKAGE SUBSTRATE FOR ELECTROLYTIC LEADLESS PLATING AND MANUFACTURING METHOD THEREOF**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

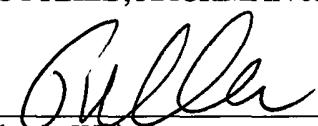
CLAIM FOR PRIORITY

Sir:

Pursuant to 35 U.S.C. § 119, Applicants claim the benefit of priority of the earliest filing date of the Korean Patent Application No. 2002-87414, filed on December 30, 2002. Certified copy of said priority document along with the English language version of its cover page is enclosed.

Respectfully submitted
GOTTLIEB, RACKMAN & REISMAN, P.C.

Dated: 07. 24. 03



Tiberiu Weisz
Attorney for applicants
Registration No. 29,876

GOTTLIEB, RACKMAN & REISMAN, P.C.
270 Madison Avenue
New York, N.Y. 10016-0601
Phone: (212) 684-3900
Facsimile: (212) 684-3999

<Translation>

**THE KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is
a true copy from the records of the Korean Intellectual Property Office.

Application Number: 2002 Patent Application No. 87414
Date of Application: December 30, 2002
Applicant(s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

On this 15th day of January, 2003

COMMISSIONER

<Translation>

APPLICATION FOR PATENT REGISTRATION

Application Number: 2002-87414

Application Date: December 30, 2002

Title of Invention: PACKAGE SUBSTRATE FOR ELECTROLYTIC LEADLESS PLATING AND MANUFACTURING METHOD THEREOF

Applicant (s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

Attorney Name: LEE & PARK Patent & Law Firm

Inventor(s):
1. Jong-Jin LEE
2. Tae-Gui KIM

The above Application for Patent Registration is hereby made pursuant to Articles 42 and 60 of the Korean Patent Law.

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0087414
Application Number PATENT-2002-0087414

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

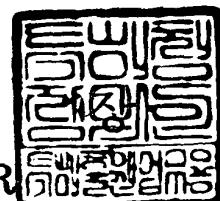
출원인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003년 01월 15일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 30
【발명의 명칭】	도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법
【발명의 영문명칭】	A package substrate for electrolytic leadless plating, and its manufacturing method
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철, 이인실, 염승윤, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	이종진
【성명의 영문표기】	LEE, Jong Jin
【주민등록번호】	670802-1177618
【우편번호】	306-777
【주소】	대전광역시 대덕구 송촌동 선비마을3단지아파트 305동 1804호
【국적】	KR
【발명자】	
【성명의 국문표기】	김태귀
【성명의 영문표기】	KIM, Tae Gui
【주민등록번호】	721128-1574518
【우편번호】	361-815
【주소】	충청북도 청주시 흥덕구 복대동 2978번지 203호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
청운특허법인 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	23	면	23,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	21	항	781,000	원
【합계】			833,000	원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 패키지 기판에 있어서 반도체칩이 실장되는 와이어 본딩 패드와 솔더볼 패드를 형성할 경우, 도금 인입선 없이 와이어 본딩 패드에 전해 금도금을 하고 솔더볼 패드에는 OSP 또는 금 두께가 얇은 무전해 금도금 처리한 패키지 기판 및 그 제조 방법에 관한 것이다. 본 발명에 따른 패키지 기판의 제조 방법은, a) 복수의 도통홀이 형성되어 있는 베이스 기판의 전면을 동도금하는 단계; b) 도통홀 상부에 제1 드라이필름을 적층하고, 현상하는 단계; c) 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 제거하여 회로를 형성하는 단계; d) 제1 드라이필름을 박리하고, 전해 금도금될 상부면만 노출되도록 베이스 기판에 제2 드라이필름을 노광 및 현상하는 단계; e) 전해 금도금 단자를 솔더볼 패드 면에 접지시키고 와이어 본딩 패드에 전해 금도금하는 단계; f) 제2 드라이필름을 박리액을 사용하여 제거하는 단계; g) 제3 드라이필름을 노광 및 현상하는 단계; h) 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계; i) 제3 드라이필름을 박리액을 사용하여 제거하는 단계; 및 k) 솔더볼 패드를 OSP 표면 처리하는 단계를 포함한다.

【대표도】

도 6m

【색인어】

패키지 기판, 도금, 금도금, 동도금, 전해, 무전해, 솔더볼

【명세서】**【발명의 명칭】**

도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법 {A package substrate for electrolytic leadless plating, and its manufacturing method}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 BGA 패키지 기판을 예시하는 도면이다.

도 2는 종래의 기술에 따른 도금 인입선에 의해 도금된 패키지 기판의 평면도이다.

도 3a 내지 도 3h는 각각 종래의 기술에 따른 도금 인입선에 의해 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 4a 내지 도 4f는 각각 종래의 기술에 따른 도금 인입선에 의해 도금되는 패키지 기판의 다른 제조 공정을 나타내는 도면들이다.

도 5는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판의 평면도이다.

도 6a 내지 도 6m은 각각 본 발명의 제1 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 7a 내지 도 7c는 각각 본 발명의 제2 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 8a 내지 도 8m은 각각 본 발명의 제3 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

도 9는 본 발명에 따른 도금 인입선이 있는 경우와 없는 경우의 패키지 기판을 비교하기 위한 도면이다.

도 10은 본 발명에 따른 패키지 기판의 성능을 비교한 것을 나타내는 도면이다.

도 11a 및 도 11b는 각각 종래 기술 및 본 발명에 따른 회로의 밀집도를 예시하는 도면들이다.

* 도면부호의 간단한 설명 *

31: CCL의 절연재 32: CCL의 동박

33: 도통홀 34: 제1 도금층

35: 제1 드라이필름 37: 제2 드라이필름

38: 금도금층 39: 제3 드라이필름

41: 솔더 레지스터 42: 솔더볼 패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 관한 것으로, 보다 구체적으로, 볼 그리드 어레이(Ball Grid Array, 이하 'BGA'이라고 함) 및 CSP(Chip Scale Package) 등의 패키지 기판(Package Substrate)의 전해 금도금에 있어서, 패키지 기판의 반도체칩이 실장되는 와이어 본딩 패드와 솔더볼 패드(solder ball pad)를 형성할 경우, 와이어 본딩 패드에 도금 인입선 없이 전해 금도금을 하고 솔더볼 패드에는 OSP(Organic Solderability Preservatives) 또는 금 두께가 얇은 무전해 금도금 처리한 패키지 기판 및 그 제조 방법에 관한 것이다.

<19> 최근 집적회로가 경박단소화됨에도 불구하고 집적회로 패키지에서 나오는 리드(lead)수는 오히려 증가되고 있다. 소형 패키지용 캐리어 상에 많은 리드를 설치하는 문제를 해결하는 방법 중 하나가 핀그리드 어레이(Pin Grid Array; PGA)로 이루어진 캐리어를 갖도록 하는 것이다. 그러나, PGA 캐리어는 소형 캐리어상의 많은 리드를 설치할 수 있지만 핀 또는 리드가 취약하여 쉽게 부러지거나 혹은 고밀도 집적에 한계가 있다.

<20> 이러한 PGA에 따른 결점을 보완하기 위해 최근 BGA 패키지 기판의 사용이 일반화되고 있는데, 이와 같은 BGA 패키지 기판이 사용되는 것은 핀(pin)보다 미세한 솔더볼(solder ball)을 사용함으로써 기판의 고밀도화가 용이하기 때문이며, 대부분 반도체칩을 실장하는 패키지 기판으로서 사용되고 있다.

<21> 이와 같은 종래의 BGA 패키지 기판을 간략하게 설명하면, 도 1에 도시된 바와 같이, 종래의 핀(pin) 대신 솔더볼(solder ball)(8)이 형성되는 구조를 갖는다. 즉 동박 적층판(이하, 'CCL'(Copper Clad Laminate)이라고 함)(4)에 통상의 사진식각 공정을 통하여 내충회로를 형성하고, 다수 CCL(4)을 가압하여 적층하며, 내충회로를 도통시키기 위한 비아홀(2)을 가공하여 동도금(3) 작업으로 비아홀(2)을 도통하며, 이후, 상기 적층된 외측 CCL(4)에 반도체칩이 접속되는 본드 핑거(bond finger)(1)를 갖는 외충회로(6)를 사진식각 공정을 통하여 형성하며, 상기 외충회로(6)와 함께 솔더볼 패드(7)를 형성하고, 다음에 솔더볼(8) 접속 및 솔더마스크(solder mask)(5)를 형성하게 된다.

<22> 이때, 상기 반도체칩이 접속되는 본드 핑거(1)와 솔더볼(8)이 접속되는 패드(7)의 전기적인 접속상태를 향상시키기 위한 도금작업을 수행할 경우 금도금 인입선(Plating Lead Line)을 형성하는데, 각각의 솔더볼(8)이 접속되는 패드(7)에 개별적인 각각의 금

도금 인입선을 연결하고 동시에, 도면에는 도시하지 않았지만, 상기 패드(7)와 접속되고 비아홀(2)을 통하여 본드 평거(1)에 연결하게 된다. 도 2는 종래의 기술에 따른 도금 인입선에 의해 도금된 패키지 기판의 평면도로서, 솔더볼 패드(8)에 도금 인입선(9)이 형성되어 있는 것을 도시하고 있다. 여기서, 도금 인입선(9)이 형성되는 부분은 도 1의 A로 표시되는 부분이다. 실질적으로, 이러한 도금 인입선에 의해 회로의 고밀도화가 제한을 받게 된다.

<23> 한편, 상기 외층회로(6)가 구성된 CCL(4)에는 집적회로 칩이 실장되어 도선으로서 상기 외층회로(6)와 연결되고, 그 상측으로 충진재가 도포되어 외부 환경으로부터 보호되며, 따라서 BGA 패키지 기판(10)의 경우에는 PGA 기판과 달리 펈에 의해 주회로 기판과 연결되는 것이 아니라 CCL(4)의 패드(7)에 솔더볼(8)이 형성되어 주회로 기판과 도통되며, 이런 이유로 BGA는 PGA보다 소형화가 용이하고, 결국 기판(10)의 고밀도화가 가능해진다.

<24> 그러나, 이와 같은 종래의 패키지 기판(10)에 있어서는, 현재 회로의 고밀도화 및 이를 사용하는 장치의 소형화로 상기 BGA 패키지 기판의 솔더볼(solder ball)(8) 피치(pitch)(솔더볼간의 간격)가 극히 미세하게 되고, 동시에 반도체칩이 실장되는 본드 평거(1) 주변의 회로 고밀도화로 본드 평거(1)와 패드(7)의 금도금 작업을 수행하기 위한 금도금 인입선의 고밀도화가 어렵다는 문제가 제기되고 있다.

<25> 이하, 도 3a 내지 도 3h를 참조하여 종래 기술에 따라 도금 인입선에 의해 금도금 되는 패키지 기판의 제조 방법에 대해 설명한다.

<26> 먼저, 베이스 기판인 CCL(11+12)에 복수의 도통홀(13)을 가공하고(도 3a 참조), 이후, 상기 베이스 기판의 표면과 상기 도통홀 내벽을 동도금(14)한다(도 3b 참조).

<27> 이후, 패키지 기판 제품에 회로를 형성하기 위해 베이스 기판인 CCL에 드라이필름(15)을 코팅, 노광 및 현상하여 회로를 형성(Patterning)한다(도 3c 참조). 여기서, 상기 CCL(11+12)은 절연재(11) 및 이 절연재(11)의 상부 및 하부면에 형성된 동박(12)을 포함한다. 실질적으로는, 상기 CCL에 기계적 드릴을 사용하여 다수의 비아홀(13)을 형성한 후에 동도금(14)을 실시하며, 이후 상기 드라이필름(15)을 코팅, 노광, 현상에 의해 회로를 형성하게 된다.

<28> 다음에, 상기 드라이필름(15)을 식각 레지스트로 하여 노출된 동을 식각액으로 제거하여 회로를 형성한다(Pattern Etching). 이때 향후의 금도금이 진행될 시에 사용되는 도금 인입선이 동일 방법으로 동시에 형성된다. 여기서 도면부호 16은 노출된 동이 식각된 부위를 나타낸다(도 3d 참조).

<29> 다음에, 상기와 같은 식각 이후에 식각 레지스트로 사용한 드라이필름(15)을 박리액을 사용하여 제거한다(도 3e 참조).

<30> 다음에, 솔더 레지스트(LPSR)(17)를 도포하고, 이를 노광 및 현상시킨 후에, 이를 건조시킨다(도 3f 참조).

<31> 다음에, 기형성된 도금 인입선을 통해 전류를 인가하면서, 상기 도금 인입선 통해 와이어 본딩 패드와 솔더볼 패드에 금도금(18)을 한다. 이때의 도금은 전해 금도금(Ni-Au Plating)으로서, 도금되는 금의 두께는 통상적으로 $0.5\sim1.0\mu\text{m}$ 정도이다(도 3g 참조).

<32> 구체적으로, 반도체칩 등이 실장되는 패키지 기판을 표면 처리(Metal Finishing)하기 위해서 전해 금도금(Electrolytic Au Plating)이 주로 적용되고 있다. 그 이유는 신

뢰성(Reliability)적인 측면에서 전해 금도금이 무전해 금도금(Electroless Au Plating)에 비해 우수하기 때문이다. 하지만, 전해 금도금을 하기 위해서는 전술한 바와 같이 도금 인입선을 제품에 삽입하여 설계해야 하므로 회로 밀집도(Line Density)가 떨어져 고밀집도의 회로 제품 제조시에는 문제가 되고 있다.

<33> 이후, 라우터(Router)나 다이싱(Dicing)을 사용하여 상기 도금 인입선을 절단하게 된다(도 3h 참조). 여기서, 도면부호 19는 다이싱이 진행되는 부분이다. 즉, 상기 전해 금도금 완료 후에 라우터나 다이싱으로 도금 인입선을 절단하게 되는데, 이때 도금 인입선이 패키지 기판에 잔류하게 되어 전기신호 전달시 노이즈(Noise)를 유발하게 되어 제품의 전기적 특성(Electrical Performance)을 저하시키는 문제를 갖고 있다.

<34> 또한, 도 4a 내지 도 4f를 참조하여 종래 기술에 따라 도금 인입선에 의해 금도금 되는 패키지 기판의 또 다른 제조 방법에 대해 설명한다.

<35> 도 4a는 전술한 도 3a 내지 도 3e의 바로 다음 단계를 나타내므로, 도 4a의 이전 단계는 전술한 도 3a 내지 도 3e를 참조하기로 하고, 상세한 설명은 생략한다.

<36> 따라서, 도 3e와 같이, 식각 레지스트로 사용된 드라이필름을 제거한 후, 솔더 레지스트를 도포, 노광, 현상, 건조시킨다(도 4a 참조).

<37> 이후, 와이어 본딩 패드만을 금도금하기 위해 기판의 솔더볼 패드 면에 드라이필름(21)을 코팅, 노광 및 현상한다(도 4b 참조).

<38> 이후, 도금 인입선을 통해 와이어 본딩 패드에 0.5~1.5 μ m 정도로 금도금을 한다(도 4c 참조).

<39> 다음에, 상기와 같은 금도금 이후 도금 레지스트로 사용한 드라이필름을 박리액을 사용하여 제거하고(도 4d 참조), 라우터나 다이싱을 사용하여 도금 인입선을 절단한다(도 4e 참조). 여기서, 도면부호 19는 다이싱이 진행되는 부분이다. 즉, 상기 전해 금도금 완료 후에 라우터나 다이싱으로 도금 인입선을 절단하게 된다.

<40> 이후, 솔더볼 패드 표면에 OSP 약품을 코팅하여 상기 솔더볼 패드를 표면처리 (OSP)(22) 한다(도 4f 참조).

<41> 이때 상기 도금 인입선이 패키지 기판에 잔류하게 되어 전기신호 전달시 노이즈 (Noise)를 유발하게 되어 제품의 전기적 특성(Electrical Performance)을 저하시키는 문제를 갖고 있다.

<42> 한편, 최근 패키지 기판 업체들은 도금 인입선을 사용하지 않고 전해 금도금할 수 있는 기술을 개발하고 있는 추세이다. 또한 전해 금도금 시에 와이어 본딩 패드(Wire Bonding Pad)나 솔더볼 패드(Solder Ball Pad) 양쪽을 모두 동일한 두께(대부분 금 두께는 $0.5\sim1.5\mu\text{m}$)로 금을 도금하고 있고, 이때, 솔더볼 패드 쪽에 적정 두께(금 두께는 $0.03\sim0.25\mu\text{m}$) 이상으로 두껍게 도금된 금으로 인하여 솔더볼 접합 신뢰성에 문제가 되고 있다.

【발명이 이루고자 하는 기술적 과제】

<43> 상기 문제점을 해결하기 위한 본 발명의 목적은 패키지 기판 제품의 회로배선 밀집도를 향상시킬 수 있도록 도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

<44> 또한, 본 발명의 다른 목적은 패키지 기판 제품의 와이어 본딩 패드와 솔더볼 패드의 표면처리를 다르게 하여 배선 밀집도를 향상시킬 수 있는 도금 인입선을 사용하지 않는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

<45> 또한, 본 발명의 다른 목적은 정상적인 전해 금도금을 진행한 후 모든 도금 인입선이 제거되어 노이즈 발생을 억제할 수 있는 패키지 기판 및 그 제조 방법을 제공하기 위한 것이다.

【발명의 구성 및 작용】

<46> 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판의 제조 방법은, a) 동 적층판 상에 복수의 도통홀(Plated Through Hole)이 형성되어 있는 베이스 기판의 전면을 동도금하는 단계; b) 상기 동도금된 복수의 도통홀 상부에 제1 드라이필름을 적층하고, 이를 현상하는 단계; c) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성(Patterning)하는 단계; d) 상기 제1 드라이필름을 박리(Stripping)하고, 전해 금도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상하는 단계; e) 전해 금도금 단자를 솔더볼 패드 면에 접지시키고 상기 도통홀을 통해 상기 와이어 본딩 패드에 전해 금도금(Ni-Au Plating)하는 단계; f) 상기 제2 드라이필름을 박리액을 사용하여 제거하는 단계; g) 상기 솔더볼 패드 면에 회로를 형성하기 위해 제3 드라이필름을 코팅, 노광 및 현상하는 단계; h) 상기 제3 드라이필름을 적층하고 상기 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계; i) 상기 제3 드라이필름을 박리액을 사용하여 제거하는 단계; j) 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키는 단계; 및 k) 상기 솔더볼 패드 표면에

OSP(Organic Solderability Preservative) 약품을 코팅하고 상기 솔더볼 패드를 표면 처리하는 단계를 포함하여 이루어진다.

<47> 여기서, 상기 제1 및 제3 드라이필름은 식각 레지스트(etching resist)로 사용된 것을 특징으로 하며, 상기 제2 드라이필름은 전해 금도금 레지스트로 사용되는 것을 특징으로 한다.

<48> 여기서, 상기 전해 금도금되는 두께는 $0.5\sim1.5\mu\text{m}$ 인 것이 바람직하다.

<49> 여기서, 상기 금도금될 상부면은 와이어 본딩 패드 면일 수 있다.

<50> 한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 도금 인

입선 없이 도금되는 패키지 기판의 제조 방법은, a) 동 적층판 상에 복수의 도통홀이 형성되어 있는 베이스 기판의 전면을 동도금하는 단계; b) 상기 동도금된 복수의 도통홀 상부에 제1 드라이필름을 적층하고, 이를 현상하는 단계; c) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계; d) 상기 제1 드라이필름을 박리하고, 전해 금도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상하는 단계; e) 전해 금도금 단자를 솔더볼 패드 면에 접지시키고 상기 도통홀을 통해 상기 와이어 본딩 패드에 전해 금도금(Ni-Au Plating)하는 단계; f) 상기 전해 금도금 이후 상기 제2 드라이필름을 박리액을 사용하여 제거하는 단계; g) 상기 솔더볼 패드 면에 회로를 형성하기 위해 제3 드라이필름을 코팅, 노광 및 현상하는 단계; h) 상기 제3 드라이필름이 적층된 부분 이외의 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계; i) 상기 제3 드라이필름을 박리액을 사용하여 제거하는 단계; j) 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키는 단계; k) 무전해 금도금될 솔더볼 패드 부위만 노출되도록 상기 베이스 기판에 제4 드라이필름을 코팅, 노광 및 현상하는 단계; l) 상기 솔더볼 패드에 무전해 금도금(Ni-Au Plating)하는 단계; 및 m) 상기 무전해 금도금 이후 제4 드라이필름을 박리액을 사용하여 제거하는 단계를 포함하여 이루어진다.

<51> 여기서, 상기 제1 및 제3 드라이필름은 식각 레지스트로 사용되는 것을 특징으로 하고, 상기 제2 드라이필름은 전해 금도금 레지스트로 사용되는 것을 특징으로 한다. 또한, 상기 제4 드라이필름은 무전해 금도금 레지스트로 사용되는 것을 특징으로 한다.

<52> 여기서, 상기 전해 금도금되는 두께는 $0.5\sim1.5\mu\text{m}$ 인 것이 바람직하고, 상기 무전해 금도금되는 두께는 $0.03\sim0.25\mu\text{m}$ 인 것이 바람직하다.

<53> 한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판의 제조 방법은, a) 동 적층판 상에 복수의 도통홀이 형성되어 있는 베이스 기판의 전면을 동도금(Cu Plating)하는 단계; b) 상기 동도금된 복수의 도통홀 상부에 제1 드라이필름을 적층하고, 이를 현상하는 단계; c) 상기 동도금된 복수의 드라이필름이 적층하여 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계; d) 상기 제1 드라이필름을 박리액을 사용하여 박리하는 단계; e) 상기 베이스 기판 표면과 상기 도통홀 내벽을 무전해 동도금하는 단계; f) 전해 금도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상하는 단계; g) 상기 제2 드라이필름으로 가려지지 않은 무전해 동박을 식각액으로 제거하는 단계; h) 상기 베이스 기판 표면에 도금된 무전해 동박을 도금 인입선으로 사용하여 와이어 본딩 패드에 전해 금도금하는 단계; i) 상기 전해 금도금 이후 상기 제2 드라이필름을 박리액을 사용하여 제거하는 단계; j) 상기 베이스 기판 표면에 무전해로 도금된 동박을 식각액으로 제거하는 단계; k) 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키는 단계; 및 l) 상기 솔더볼 패드 표면에 OSP(Organic Solderability Preservative) 약품을 코팅하고 상기 솔더볼 패드를 표면 처리하는 단계를 포함하여 이루어진다.

<54> 여기서, 상기 a) 단계의 동도금은 상기 베이스 기판 표면과 도통홀 내벽을 무전해 동도금을 실시하고, 이후 전해 동도금을 실시하는 것을 특징으로 한다.

<55> 여기서, 상기 e) 단계의 무전해 동도금되는 동의 두께는 $0.3\sim0.5\mu\text{m}$ 인 것이 바람직하고, 상기 전해 금도금되는 금의 두께는 $0.5\sim1.5\mu\text{m}$ 인 것이 바람직하다.

<56> 여기서, 상기 식각은 플래시 식각(flash etching)인 것을 특징으로 한다.

<57> 여기서, 상기 제1 드라이필름은 식각 레지스트로 사용된 것을 특징으로 하고, 상기 제2 드라이필름은 전해 금도금 레지스트로 사용되는 것을 특징으로 한다.

<58> 한편, 상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 도금 인입선 없이 전해 금도금된 패키지 기판은, a) 다수의 도통홀이 형성되어 있는 베이스 기판; b) 상기 베이스 기판 상의 소정 부분과 상기 도통홀 내에 동도금되어 있는 제1 도금층; c) 상기 제1 도금층 중 일부를 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 형성되어 있는 회로 패턴; d) 상기 제1 도금층의 일부가 식각에 의해 제거된 부위에 도금 인입선이 없이 전해 금도금되는 와이어 본딩 패드; e) 상기 와이어 본딩 패드를 제외한 소정 부위에 도포되는 솔더 레지스트; 및 f) 상기 베이스 기판의 하부의 소정 위치에 형성되는 솔더볼 패드를 포함하여 구성된다.

<59> 여기서, 상기 솔더볼 패드는 OSP 표면 처리되거나 또는 금 두께가 얇게 무전해 금 도금된 것을 특징으로 한다.

<60> 또한, 상기 베이스 기판 상의 소정 부위에 무전해 도금되는 제2 도금층을 추가로 포함하며, 상기 제2 도금층이 상기 전해 금도금되는 와이어 본딩 패드의 도금 인입선 역할을 하는 것을 특징으로 한다.

<61> 결국, 본 발명에 따르면, 도금 인입선 없이 와이어 본딩 패드에 전해 금도금을 하 고 솔더볼 패드에는 OSP(Organic Solderability Preservatives) 또는 금 두께가 얇은 무전해 금도금 처리함으로써, 도금 인입선을 사용하지 않는 패키지 기판을 제조할 수 있으므로 패키지 기판 제품의 회로배선 밀집도를 향상시킬 수 있고, 또한 도금 인입선이 제거되어 노이즈의 발생을 억제할 수 있다.

<62> 이하, 첨부한 도면을 참조하여, 본 발명의 실시예에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법에 대해 구체적으로 설명한다.

<63> 제1 실시예

<64> 도 6a 내지 도 6m은 본 발명의 제1 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들로서, 본 발명에 따른 도금 인입선 없이 도금되는 패키지 기판 및 그 제조 방법은 다음과 같다.

<65> 먼저, 동 적층판(31+32)인 베이스 기판 상에 복수의 도통홀을 가공하고(33)(도 6a 참조), 상기 베이스 기판의 표면과 상기 도통홀 내벽을 동도금(34)한다(도 6b 참조).

<66> 구체적으로, 패키지 기판은 다수의 CCL(31+32)이 적층되는 다층 기판으로 구성되는데, 상기 CCL(31+32)은 에폭시로 된 기판에 도전성 접착제로서 동박이 일체로 접합되어 보통 동박 적층판이라 하며, 도면부호 31은 절연재이며, 도면부호 32는 상기 절연재(31)의 상부 및 하부에 적층된 동박이다. 상기 CCL(31+32)에는 필름 식각 공정을 통하여 내충회로를 형성하고, 이때 상기 내충회로는 대개 접지 패턴 또는 신호처리 패턴으로 구성된다. 상기 비아홀(33)은 회로를 전기적으로 통하도록 형성되며, 비아홀(33)이 형성되면, 회로를 전기적으로 연결하기 위해 동도금 작업을 통하여 비아홀(33)의 내부를 도통시키는 동도금층(34)을 형성하게 된다.

<67> 다음에, 패키지 기판 제품의 와이어 본딩 패드 면에 회로를 형성하기 위해 베이스 기판에 드라이필름(35)을 코팅, 노광 및 현상하여 회로를 형성(Patterning)한다(도 6c 참조). 여기서 도면부호 36은 상기 동박이 제거된 상태를 나타내고 있다.

<68> 이후, 상기 드라이필름(35)을 식각 레지스트로 하여 노출된 동을 식각액으로 제거하여 회로를 형성하고(도 6d 참조), 이후 상기와 같은 식각 이후 식각 레지스트로 사용한 상기 드라이필름(35)을 박리액을 사용하여 제거한다(도 6e 참조).

<69> 상기 드라이필름(35) 식각 공정은 크게 동박 위에 식각 레지스트로 사용되는 드라이필름을 도포하는 필름 접합 작업 후에, 상기 식각 레지스트의 일부 영역을 블로킹한 상태에서 광을 조사하여 경화하고, 이후 상기 식각 레지스트에 현상액을 작용하여 미경화된 식각 레지스트를 제거하는 현상 작업이 수행되면, 첨가제를 작용하여 식각 레지스트가 제거된 영역의 동박을 식각하는 박리작업으로 이루어진다.

<70> 이후, 전해금도금 해야 할 와이어 본딩 패드 부위만 노출되도록 기판에 전해금도금 레지스트인 드라이필름(37)을 코팅, 노광 및 현상한다(도 6f 참조).

<71> 다음에, 전해도금 단자를 솔더볼 패드 면에 접지하여 도통홀(Plated Through Hole)을 통해 와이어 본딩 패드에 0.5~1.5 μm 정도로 전해 금도금(38)을 한다(도 6g 참조).

<72> 이후, 전해 금도금(38) 형성 이후 도금 레지스트로 사용한 드라이필름(37)을 박리액을 사용하여 제거하고(도 6h 참조), 패키지 기판 제품의 솔더볼 패드 면에 회로를 형성하기 위해 기판에 드라이필름(93)을 코팅, 노광 및 현상한다(도 6i 참조).

<73> 이후, 상기 드라이필름(39)을 식각 레지스트로 하여 노출된 동을 식각액으로 제거하여 회로를 형성한다(도 6j 참조), 상기 식각 이후 식각 레지스트로 사용한 드라이필름(39)을 박리액을 사용하여 제거한다(도 6k 참조). 여기서, 도면부호 40은 식각 부위이다.

<74> 다음에, 솔더 레지스트(41)를 도포, 노광, 현상 및 건조시키고(도 61 참조), 이후 솔더볼 패드 표면에 OSP 약품을 코팅하여 솔더볼 패드(42)를 표면처리(OSP) 한다(도 6m 참조).

<75> 따라서, 본 발명에 따른 제1 실시예에서는 와이어 본딩 패드는 전해 금도금하고, 솔더볼 패드는 OSP 표면 처리하게 된다.

<76> 제2 실시예

<77> 도 7a 내지 도 7c는 본 발명의 제2 실시예에 따른 도금 인입선이 없이 도금되는 패 키지 기판의 제조 공정을 나타내는 도면들이다.

<78> 도 7a는 전술한 도 6a 내지 도 61의 바로 다음 단계를 나타내므로, 도 7a의 이전 단계는 전술한 도 6a 내지 도 61을 참조하기로 하고, 상세한 설명은 생략한다.

<79> 따라서, 도 61과 같이, 솔더 레지스트(41)를 도포, 노광, 현상 및 건조시킨 상태에 서, 무전해 금도금해야 할 솔더볼 패드 부위만 노출되도록 기판에 무전해 금도금 레지스 트인 드라이필름(43)을 코팅, 노광 및 현상하게 된다(도 7a 참조).

<80> 이후, 상기 솔더볼 패드에 $0.03\sim0.25\mu m$ 정도의 두께로 무전해 금도금(44)을 하고(도 7b 참조), 이후, 무전해 금도금(44) 이후 도금 레지스트로 사용한 드라이필름(43)을 박리액을 사용하여 제거하게 된다(도 7c 참조).

<81> 따라서, 전술한 제1 실시예를 제2 실시예와 비교하면, 본 발명에 따른 제1 실시예 에서는 도금인입선 역할을 하는 하부면의 노출된 솔더볼 패드에 OSP를 사용하여 표면처 리를 하지만, 제2 실시예에서는 금 두께가 얇은 무전해 금도금 처리가 수행된다. 제2

실시예는 제1 실시예와 마찬가지로 도금 인입선을 외부에 형성하지 않고 도금을 진행할 수 있으므로 이후 도금 인입선 부위를 절단할 필요가 없다.

<82> 한편, 도 5는 본 발명에 따른 도금 인입선이 없이 도금된 패키지 기판의 평면도로서, 본 발명에 따른 패키지 기판은 종래 기술에 따른 도 2의 패키지 기판과 비교하면, 솔더볼 패드(20)에 연결되는 도금 인입선이 사용되지 않은 것을 예시하고 있다.

<83> 제3 실시예

<84> 도 8a 내지 도 8m은 각각 본 발명의 제3 실시예에 따른 도금 인입선이 없이 도금되는 패키지 기판의 제조 공정을 나타내는 도면들이다.

<85> 먼저, 동 적층판(51+52)인 베이스 기판 상에 복수의 도통홀을 가공하고(53)(도 8a 참조), 상기 베이스 기판의 표면과 상기 도통홀 내벽을 동도금(54)한다(도 8b 참조). 상기 동도금은 상기 베이스 기판 표면과 도통홀 내벽을 무전해 동도금을 실시하고, 이후 전해 동도금을 실시하는 것을 특징으로 한다.

<86> 구체적으로, 패키지 기판은 다수의 CCL(51+52)이 적층되는 다층 기판으로 구성되는 데, 도면번호 51은 절연재이며, 도면번호 52는 상기 절연재(51)의 상부 및 하부에 적층된 동박이다. 상기 CCL(51+52)에는 필름 식각 공정을 통하여 내충회로를 형성하고, 이 때 상기 내충회로는 대개 접지 패턴 또는 신호처리 패턴으로 구성된다. 상기 비아홀(53)은 회로를 전기적으로 통하여 형성되며, 비아홀(53)이 형성되면, 회로를 전기적으로 연결하기 위해 동도금 작업을 통하여 비아홀(53)의 내부를 도통시키는 동도금층(54)

을 형성하게 된다. 상기 동도금은 상기 베이스 기판 표면과 도통홀 내벽을 무전해 동도금을 실시하고, 이후 전해 동도금을 실시하게 된다.

<87> 다음에, 패키지 기판 제품의 와이어 본딩 패드 면에 회로를 형성하기 위해 베이스 기판에 드라이필름(55)을 코팅, 노광 및 현상하여 회로를 형성한다(도 8c 참조).

<88> 이후, 상기 드라이필름(55)을 식각 레지스트로 하여 노출된 동을 식각액으로 제거하여 회로를 형성한다(도 8d 참조). 여기서 도면부호 56은 상기 동박이 제거된 상태를 나타내고 있다. 이후 상기와 같은 식각 이후 식각 레지스트로 사용한 상기 드라이필름(55)을 박리액을 사용하여 제거한다(도 8e 참조).

<89> 이후, 상기 베이스 기판 표면과 상기 도통홀 내벽을 무전해 동도금하고(도 8f 참조), 상기 무전해 동도금되는 동의 두께는 $0.3\sim0.5\mu\text{m}$ 인 것이 바람직하다. 이후 전해 금 도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상 한다(도 8g 참조).

<90> 이후 상기 제2 드라이필름으로 가려지지 않은 무전해 동박을 플래시 식각(flash etching)으로 제거한다(도 8h 참조).

<91> 상기 베이스 기판 표면에 도금된 무전해 동박을 도금 인입선으로 사용하여 와이어 본딩 패드에 전해 금도금한다(도 8i 참조). 여기서, 상기 전해 금도금되는 금의 두께는 $0.5\sim1.5\mu\text{m}$ 인 것이 바람직하다.

<92> 상기 전해 금도금 이후 상기 제2 드라이필름을 박리액을 사용하여 제거하고(도 8j 참조), 상기 베이스 기판 표면에 무전해로 도금된 동박을 플래시 식각(flash etching)으로 제거한다(도 8k 참조).

<93> 다음에, 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키고(도 81 참조), 상기 솔더볼 패드 표면에 OSP(Organic Solderability Preservative) 약품을 코팅하고 상기 솔더볼 패드를 표면 처리하게 된다(도 8m 참조).

<94> 결론적으로, 전술한 제1 실시예에서는 와이어 본딩 패드는 전해 금도금을 하고, 솔더볼 패드는 OSP 표면 처리하였고, 제2 실시예에서는 와이어 본딩 패드는 전해 금도금을 하고, 솔더볼 패드는 금 두께가 얇은 무전해 금도금 처리한 것이며, 전술한 제3 실시예에서는 베이스 기판 표면에 도금된 무전해 동박을 도금 인입선으로 사용하여 와이어 본딩 패드에 전해 금도금하고, 솔더볼 패드는 OSP 표면 처리한 것이다. 즉, 상기 제1 내지 제3 실시예는 모두 도금 인입선이 없는 상태에서 솔더볼 패드를 도금한 것이다.

<95> 한편, 도 9는 본 발명에 따른 도금 인입선이 있는 경우와 없는 경우의 패키지 기판이 표면 처리된 단면을 비교한 도면으로서, 본 발명에 따른 도금 인입선이 없는 경우에 본드 평거는 도면부호 63처럼 나타나게 된다. 여기서 도면부호 62는 Ni/Au 금도금층을 나타내며, 도면부호 64는 종래의 금도금층이고, 도면부호 65는 본 발명에 따라 OSP 표면 처리된 것을 각각 도시하고 있다.

<96> 도 10은 본 발명에 따른 패키지 기판의 성능을 비교한 것을 나타내는 도면이다. 도 10에 도시된 바와 같이, 본 발명에 따라 인입선이 없는 OSP 볼 패드를 사용하는 경우와 인입선이 없는 무전해 금도금된 볼 패드를 사용하는 경우는 종래의 인입선이 있는 경우와 비교하면, 전기적 성능과 선 밀집도 면에서 우수하고, 또한 신뢰성이 양호한 것을 알 수 있다.

<97> 도 11a 및 도 11b는 종래 기술 및 본 발명에 따른 회로의 밀집도를 예시하는 도면들이다. 도 11a에 도시된 바와 같이, 패키지 기판(71) 상에 형성된 솔더볼 패드(72a)는

각각의 솔더볼 패드 중심간의 볼 패드 피치가 A로 도시되며, 이때 도면부호 73은 도금 인입선을 나타내고 있다. 또한 도 11b에 도시된 바와 같이 본 발명에 따른 패키지 기판 (71) 상에 형성된 솔더볼 패드(72b)는 각각의 솔더볼 패드 중심간의 볼 패드 피치가 B로 도시되는데, 상기 볼 패드 피치 A에 비해 약 0.1 내지 0.15mm가 줄어든 것을 도시하고 있다. 즉, 도 11a에 도시된 도금 인입선(73)이 제거되었기 때문에, 동일 면적의 패키지 기판 상에 보다 많은 솔더볼 패드를 형성할 수 있으므로 회로 밀집도가 향상된 것을 알 수 있다.

<98> 결국, 본 발명은 BGA 및 CSP 등의 패키지 기판의 전해 금도금 시에, 도금 인입선 없이 금도금함으로써, 신호 노이즈 발생을 방지함으로써 패키지 기판의 전기적 특성을 향상시킬 수 있다. 또한, 본 발명은 도금 인입선 불필요에 따른 회로 설계 자유도가 향상되며, 볼 패드 피치(Pitch)를 종래의 기술에 따른 볼 패드 피치에 비해 약 0.1~0.15mm 줄일 수 있으므로 고밀집 회로 제품의 제작할 수 있다.

<99> 본 발명은 특정한 실시예에 관련하여 도시하고 설명하였지만, 이하의 특허청구의 범위에 의해 마련되는 본 발명의 정신이나 분야를 벗어나지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당업자에게 자명하다.

【발명의 효과】

<100> 본 발명에 따르면, 전해 금도금용 인입선 잔류로 인한 신호 노이즈 발생을 방지함으로써 패키지 기판의 전기적 특성을 향상시킬 수 있다.

<101> 또한, 본 발명에 따르면 도금 인입선 불필요에 따른 회로 설계 자유도(유연성)가 향상되며, 고밀집 회로 제품의 제작에 유리하다.

<102> 또한, 본 발명에 따르면, 솔더볼 패드의 표면처리를 와이어 본딩 패드와 달리하여 솔더볼 패드와 솔더볼간의 접합 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

a) 동 적층판 상에 복수의 도통홀(Plated Through Hole)이 형성되어 있는 베이스 기판의 전면을 동도금하는 단계;

b) 상기 동도금된 복수의 도통홀 상부에 제1 드라이필름을 적층하고, 이를 현상하는 단계;

c) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성(Patterning)하는 단계;

d) 상기 제1 드라이필름을 박리(Stripping)하고, 전해 금도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상하는 단계;

e) 전해 금도금 단자를 솔더볼 패드 면에 접지시키고 상기 도통홀을 통해 상기 와이어 본딩 패드에 전해 금도금(Ni-Au Plating)하는 단계;

f) 상기 제2 드라이필름을 박리액을 사용하여 제거하는 단계;

g) 상기 솔더볼 패드 면에 회로를 형성하기 위해 제3 드라이필름을 코팅, 노광 및 현상하는 단계;

h) 상기 제3 드라이필름을 적층하고 상기 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계;

i) 상기 제3 드라이필름을 박리액을 사용하여 제거하는 단계;

j) 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키는 단계; 및

k) 상기 솔더볼 패드 표면에 OSP(Organic Solderability Preservative) 약품을 코팅하고 상기 솔더볼 패드를 표면 처리하는 단계
를 포함하여 이루어지는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 2】

제1항에 있어서,
상기 제1 및 제3 드라이필름은 식각 레지스트(etching resist)로 사용된 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 3】

제1항에 있어서,
상기 제2 드라이필름은 전해 금도금 레지스트로 사용되는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 4】

제1항에 있어서,
상기 전해 금도금되는 두께는 $0.5\sim1.5\mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 5】

제1항에 있어서,
상기 금도금될 상부면은 와이어 본딩 패드 면인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 6】

- a) 동 적층판 상에 복수의 도통홀이 형성되어 있는 베이스 기판의 전면을 동도금하는 단계;
- b) 상기 동도금된 복수의 도통홀 상부에 제1 드라이필름을 적층하고, 이를 현상하는 단계;
- c) 상기 제1 드라이필름이 적층된 부분 이외의 부분의 동박을 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 회로를 형성하는 단계;
- d) 상기 제1 드라이필름을 박리하고, 전해 금도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상하는 단계;
- e) 전해 금도금 단자를 솔더볼 패드 면에 접지시키고 상기 도통홀을 통해 상기 와이어 본딩 패드에 전해 금도금하는 단계;
- f) 상기 전해 금도금 이후 상기 제2 드라이필름을 박리액을 사용하여 제거하는 단계;
- g) 상기 솔더볼 패드 면에 회로를 형성하기 위해 제3 드라이필름을 코팅, 노광 및 현상하는 단계;
- h) 상기 제3 드라이필름이 적층된 부분 이외의 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계;
- i) 상기 제3 드라이필름을 박리액을 사용하여 제거하는 단계;
- j) 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키는 단계;

k) 무전해 금도금될 솔더볼 패드 부위만 노출되도록 상기 베이스 기판에 제4 드라이필름을 코팅, 노광 및 현상하는 단계;

- 1) 상기 솔더볼 패드를 무전해 금도금하는 단계; 및
- m) 상기 무전해 금도금 이후 제4 드라이필름을 박리액을 사용하여 제거하는 단계를 포함하여 이루어지는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 제1 및 제3 드라이필름은 식각 레지스트로 사용된 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 8】

제6항에 있어서,

상기 제2 드라이필름은 전해 금도금 레지스트로 사용되는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 9】

제6항에 있어서,

상기 제4 드라이필름은 무전해 금도금 레지스트로 사용되는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 10】

제6항에 있어서,

상기 전해 금도금되는 두께는 $0.5\sim1.5\mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 11】

제6항에 있어서,

상기 무전해 금도금되는 두께는 $0.03\sim0.25\mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 12】

- a) 동 적층판 상에 복수의 도통홀이 형성되어 있는 베이스 기판의 전면을 동도금 (Cu Plating)하는 단계;
- b) 상기 동도금된 복수의 도통홀 상부에 제1 드라이필름을 적층하고, 이를 현상하는 단계;
- c) 상기 제1 드라이필름이 적층하여 노출된 동박을 식각액으로 제거하여 회로를 형성하는 단계;
- d) 상기 제1 드라이필름을 박리액을 사용하여 박리하는 단계;
- e) 상기 베이스 기판 표면과 상기 도통홀 내벽을 무전해 동도금하는 단계;
- f) 전해 금도금될 상부면만 노출되도록 상기 베이스 기판에 제2 드라이필름을 코팅, 노광 및 현상하는 단계;

- g) 상기 제2 드라이필름으로 가려지지 않은 무전해 동박을 식각액으로 제거하는 단계;
- h) 상기 베이스 기판 표면에 도금된 무전해 동박을 도금 인입선으로 사용하여 와이어 본딩 패드에 전해 금도금하는 단계;
- i) 상기 전해 금도금 이후 상기 제2 드라이필름을 박리액을 사용하여 제거하는 단계;
- j) 상기 베이스 기판 표면에 무전해로 도금된 동박을 식각액으로 제거하는 단계;
- k) 솔더 레지스트를 소정 부위에 도포하고, 이를 노광, 현상 및 건조시키는 단계; 및
 - l) 상기 솔더볼 패드 표면에 OSP(Organic Solderability Preservative) 약품을 코팅하고 상기 솔더볼 패드를 표면 처리하는 단계를 포함하여 이루어지는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 13】

제12항에 있어서,

상기 a) 단계의 동도금은 상기 베이스 기판 표면과 도통홀 내벽을 무전해 동도금을 실시하고, 이후 전해 동도금을 실시하는 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 14】

제12항에 있어서,

상기 e) 단계의 무전해 동도금되는 동의 두께는 $0.3\sim0.5\mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 15】

제12항에 있어서,

상기 전해 금도금되는 금의 두께는 $0.5\sim1.5\mu\text{m}$ 인 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 16】

제12항에 있어서,

상기 식각은 플래시 식각(flash etching)인 것을 특징으로 하는 도금 인입선 없이 패키지 기판을 전해 금도금하는 방법.

【청구항 17】

제12항에 있어서,

상기 제1 드라이필름은 식각 레지스트로 사용된 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 18】

제12항에 있어서,

상기 제2 드라이필름은 전해 금도금 레지스트로 사용되는 것을 특징으로 하는 도금 인입선 없이 도금되는 패키지 기판의 제조 방법.

【청구항 19】

a) 다수의 도통홀이 형성되어 있는 베이스 기판;

- b) 상기 베이스 기판 상의 소정 부분과 상기 도통홀 내에 동도금되어 있는 제1 도금층;
- c) 상기 제1 도금층 중 일부를 식각에 의해 제거하여 상기 베이스 기판의 상부 및 하부에 형성되어 있는 회로 패턴;
- d) 상기 제1 도금층의 일부가 식각에 의해 제거된 부위에 도금 인입선이 없이 전해 금도금되는 와이어 본딩 패드;
- e) 상기 와이어 본딩 패드를 제외한 소정 부위에 도포되는 솔더 레지스트; 및
- f) 상기 베이스 기판의 하부의 소정 위치에 형성되는 솔더볼 패드를 포함하여 구성되는 도금 인입선 없이 전해 금도금된 패키지 기판.

【청구항 20】

제19항에 있어서,

상기 솔더볼 패드는 OSP 표면 처리되거나 또는 금 두께가 얇게 무전해 금도금된 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

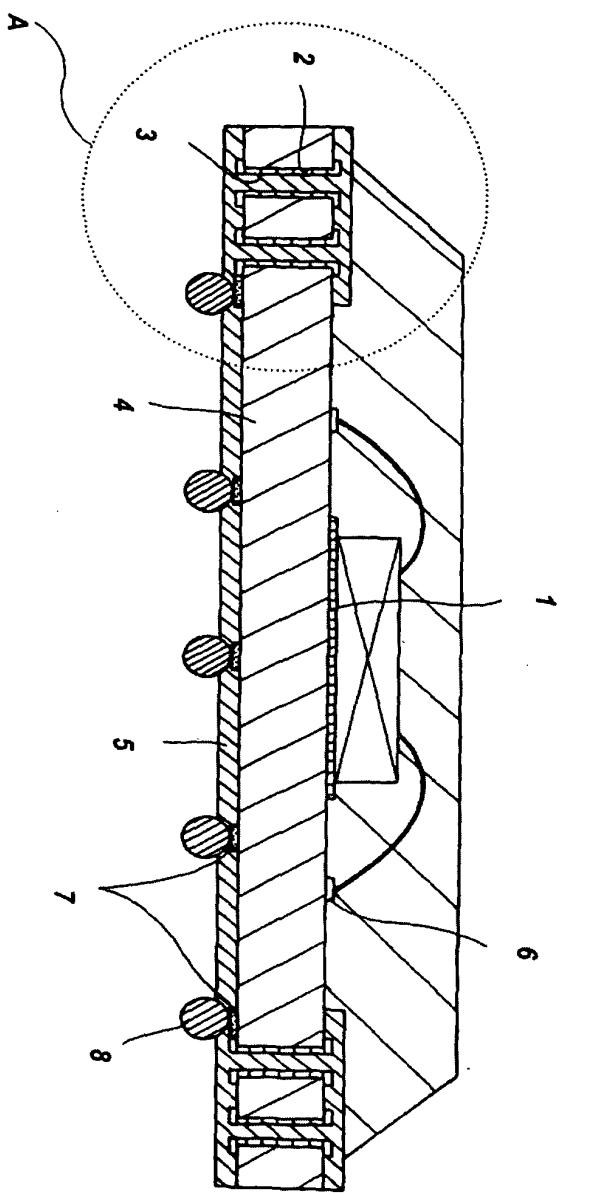
【청구항 21】

제19항에 있어서,

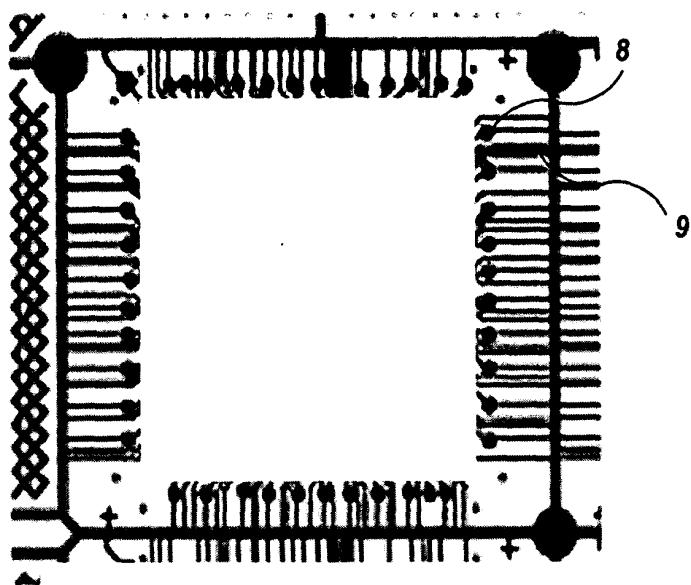
상기 베이스 기판 상의 소정 부위에 무전해 도금되는 제2 도금층을 추가로 포함하며, 상기 제2 도금층이 상기 전해 금도금되는 와이어 본딩 패드의 도금 인입선 역할을 하는 것을 특징으로 하는 도금 인입선 없이 전해 금도금된 패키지 기판.

【도면】

【도 1】



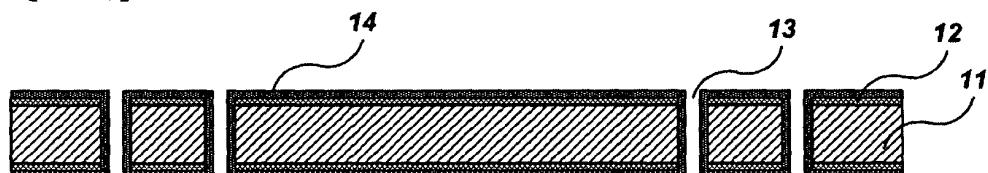
【도 2】



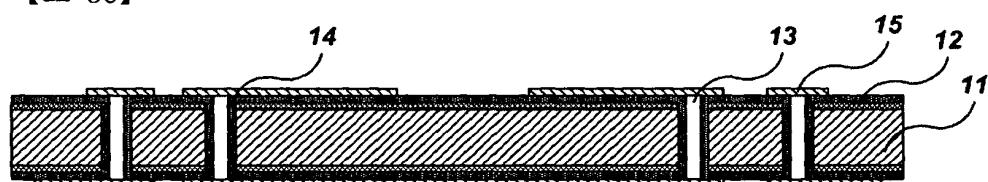
【도 3a】



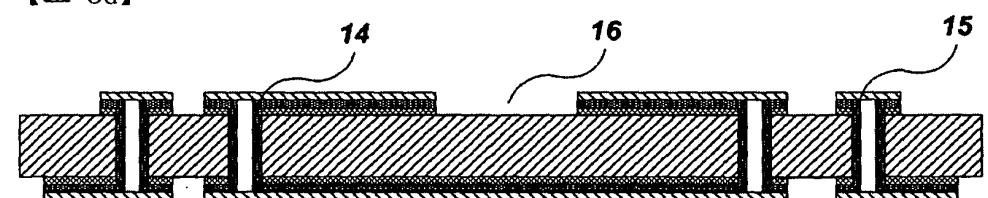
【도 3b】



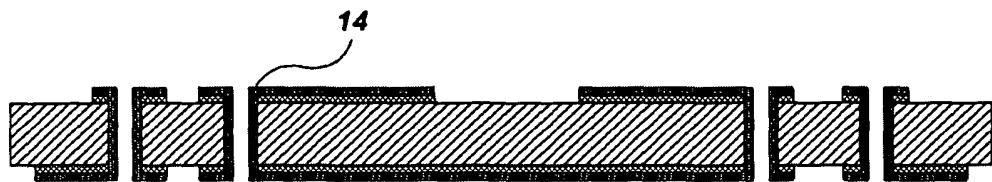
【도 3c】



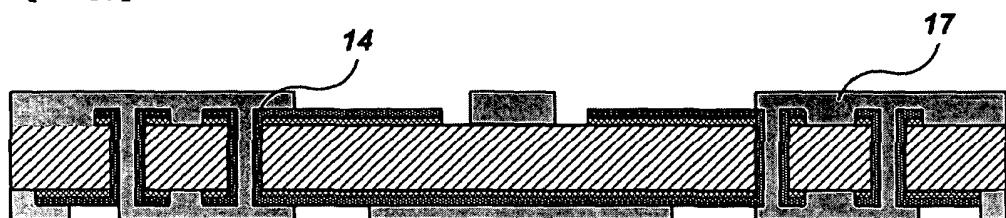
【도 3d】



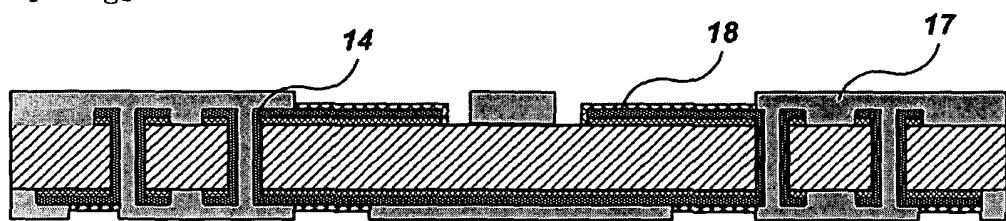
【도 3e】



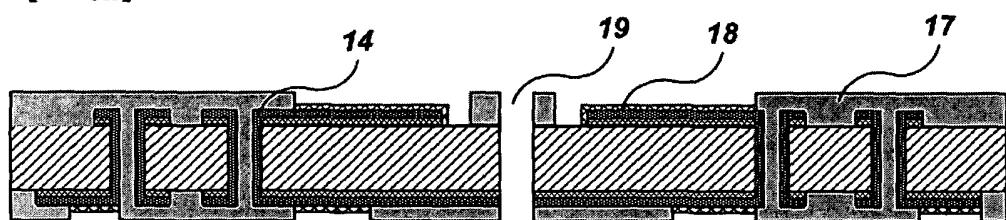
【도 3f】



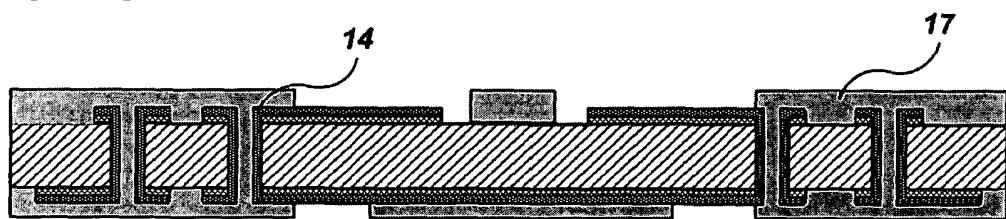
【도 3g】



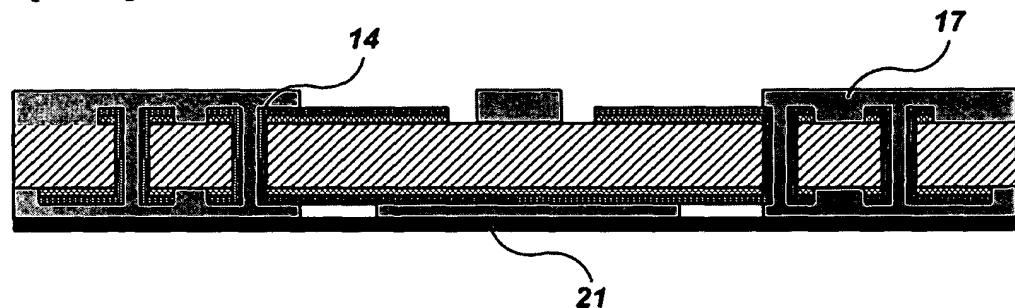
【도 3h】



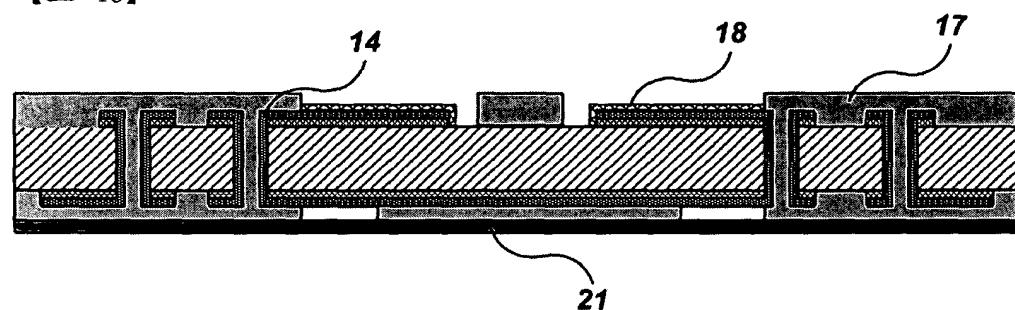
【도 4a】



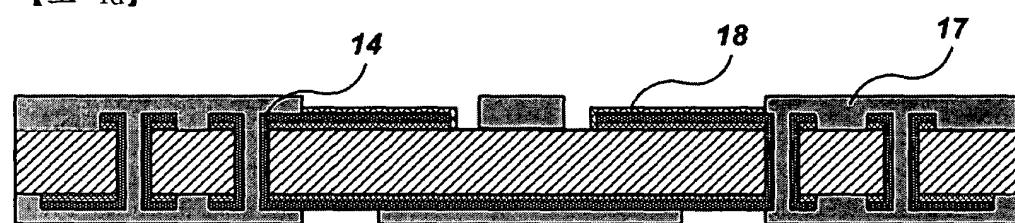
【도 4b】



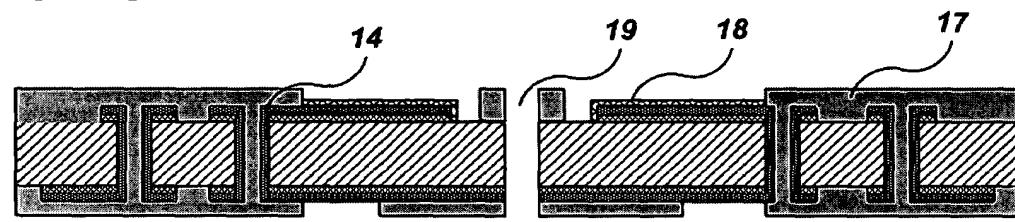
【도 4c】



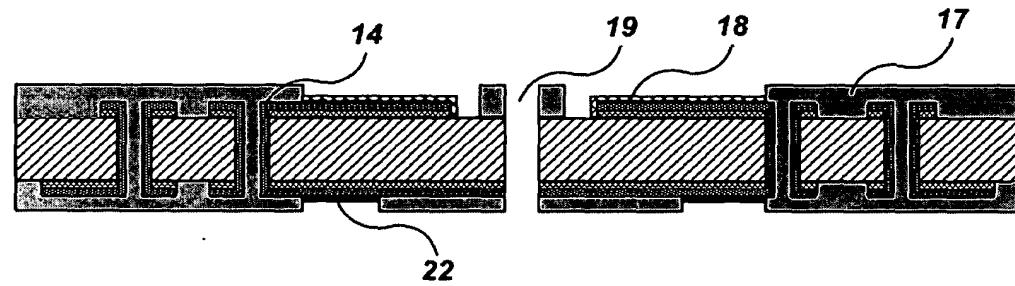
【도 4d】



【도 4e】

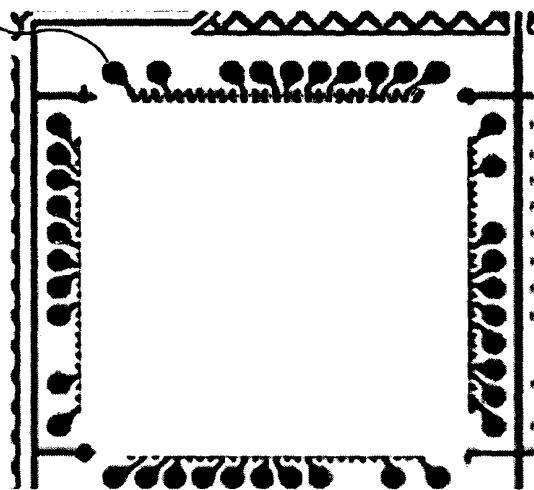


【도 4f】

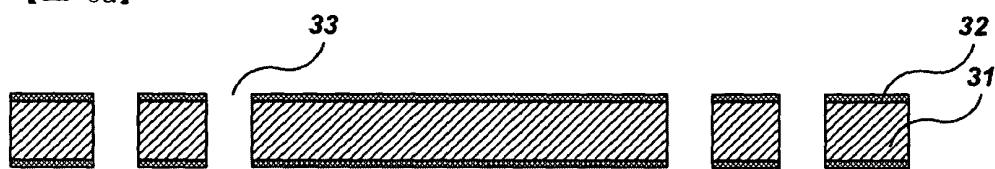


【도 5】

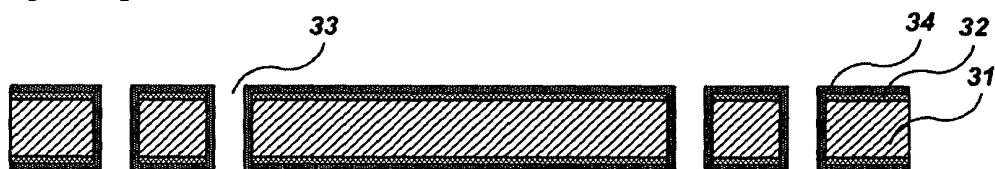
20



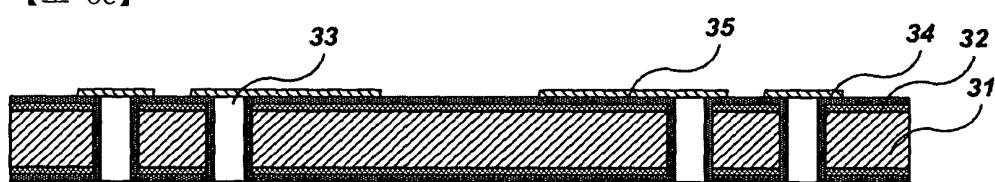
【도 6a】



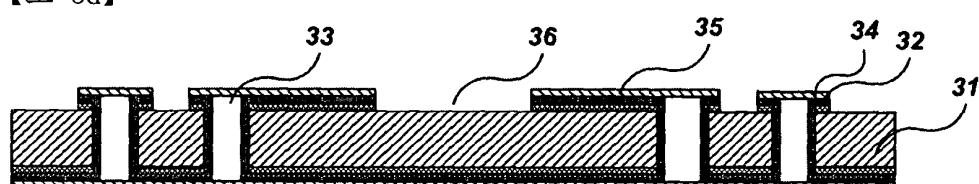
【도 6b】



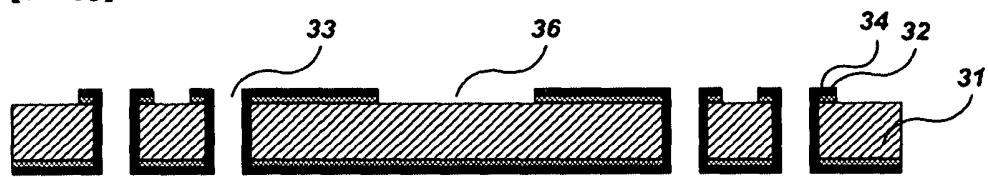
【도 6c】



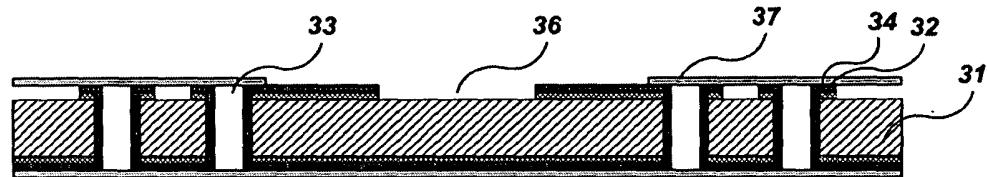
【도 6d】



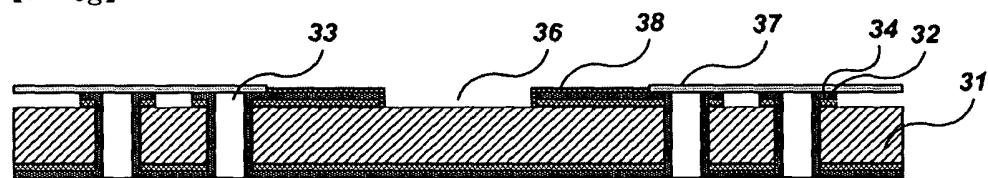
【도 6e】



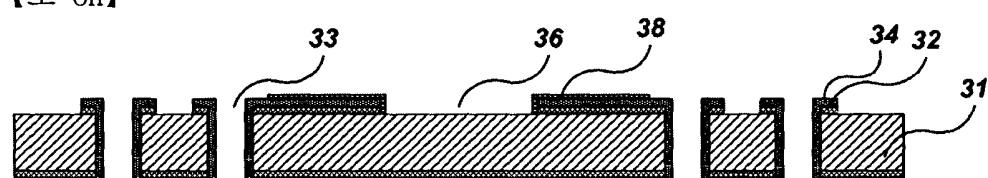
【도 6f】



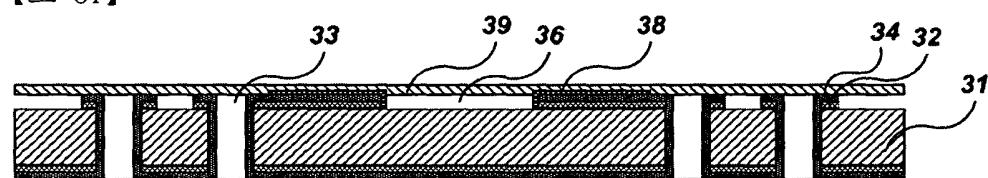
【도 6g】



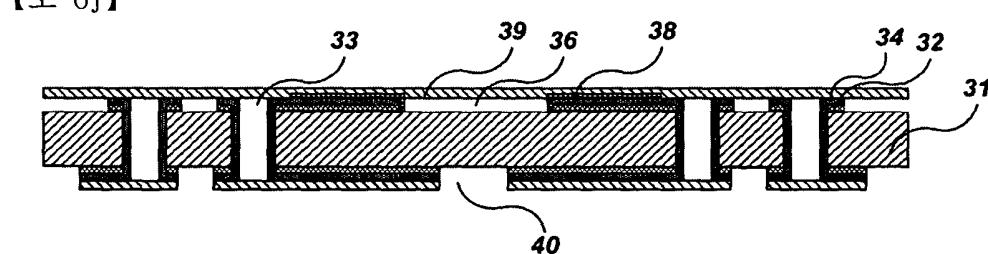
【도 6h】



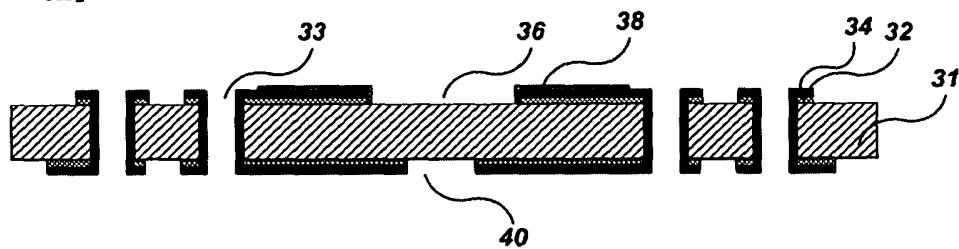
【도 6i】



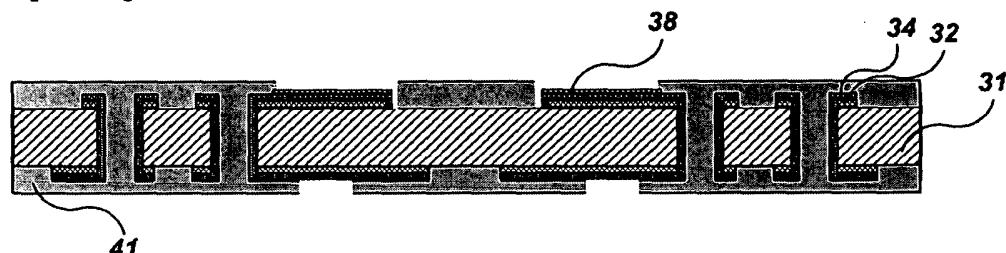
【도 6j】



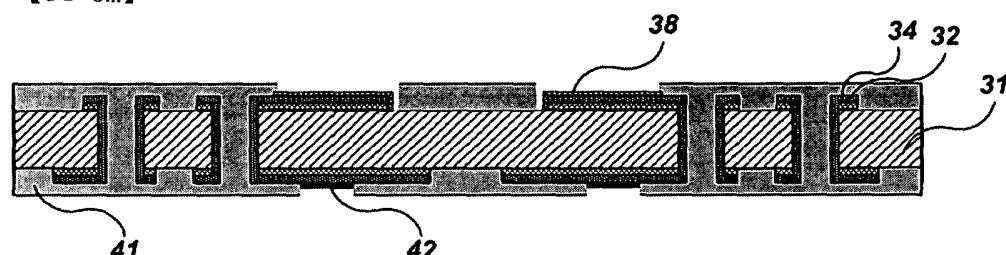
【도 6k】



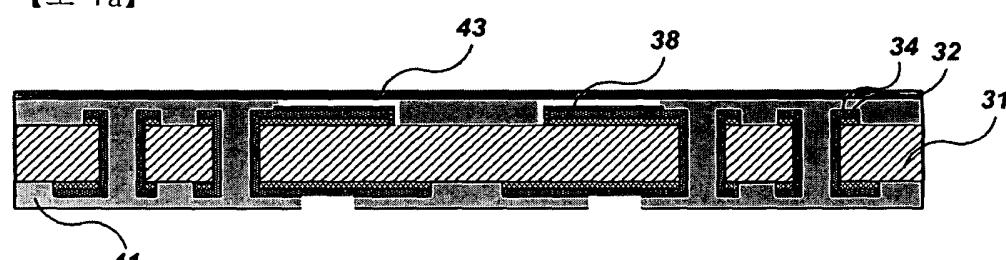
【도 6l】



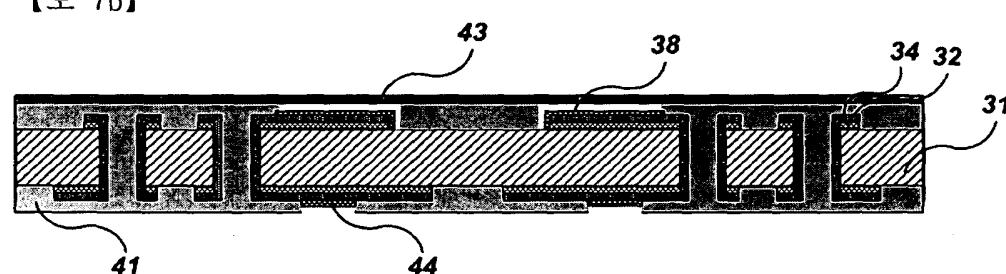
【도 6m】



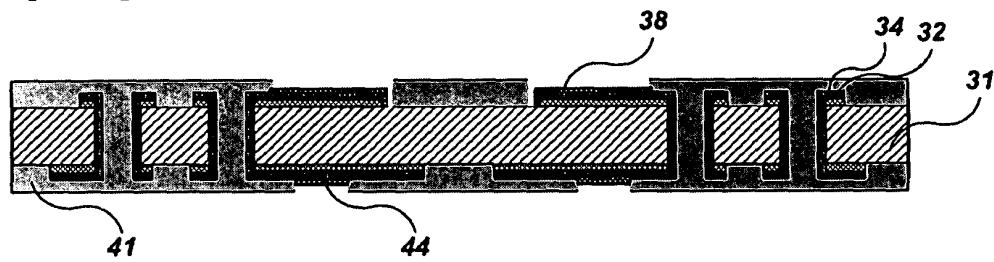
【도 7a】



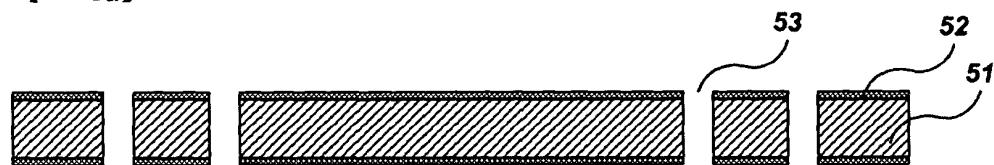
【도 7b】



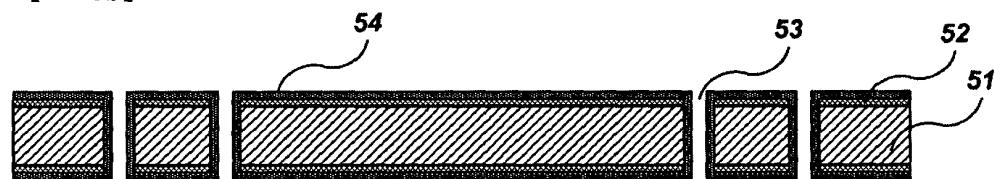
【도 7c】



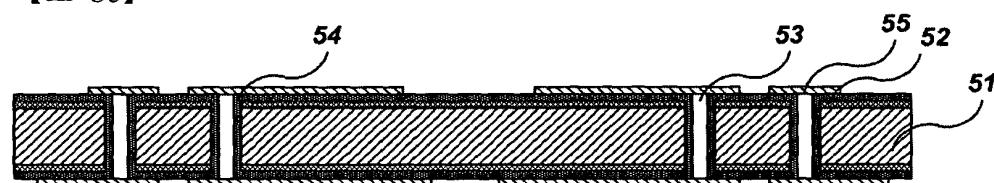
【도 8a】



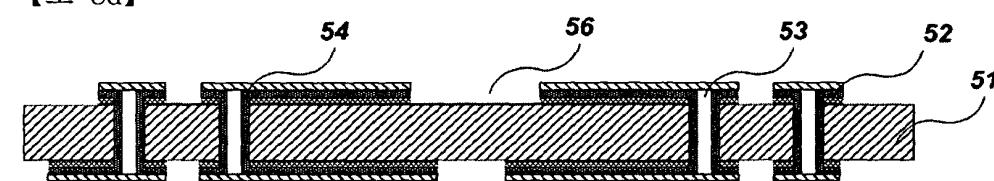
【도 8b】



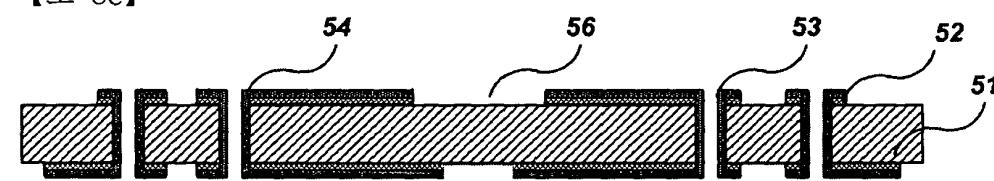
【도 8c】



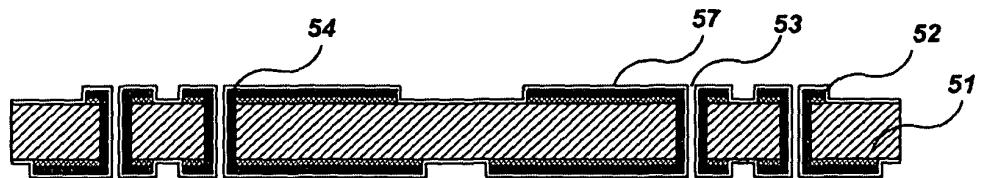
【도 8d】



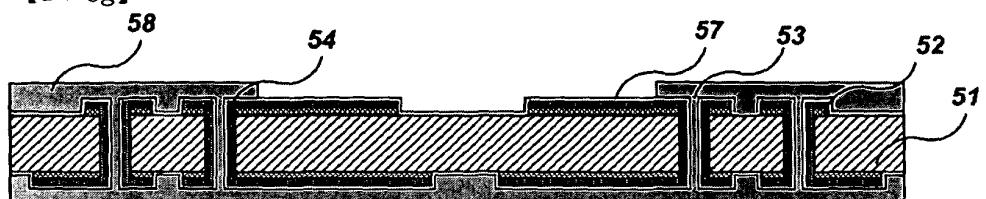
【도 8e】



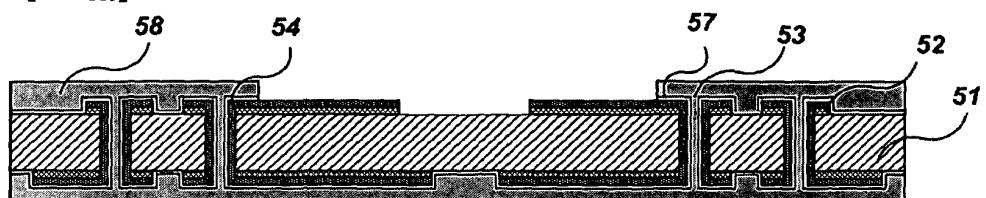
【도 8f】



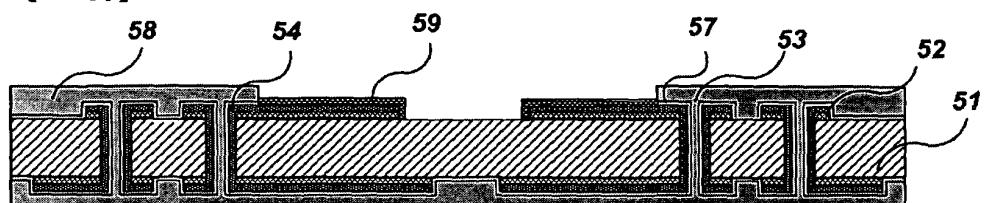
【도 8g】



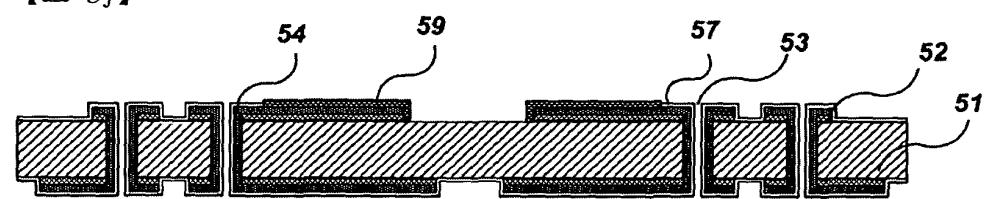
【도 8h】



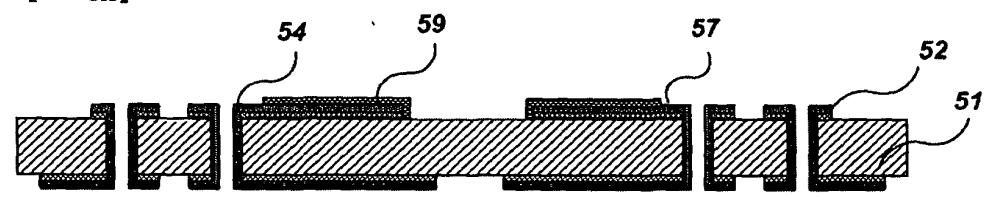
【도 8i】



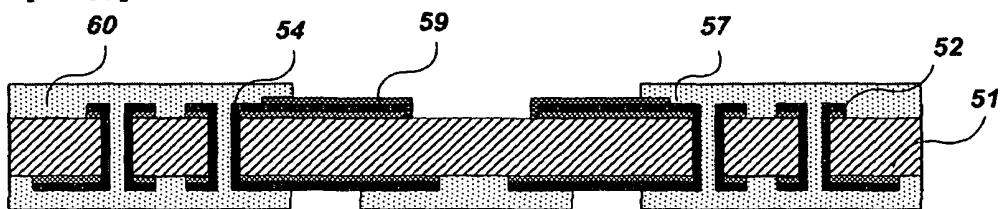
【도 8j】



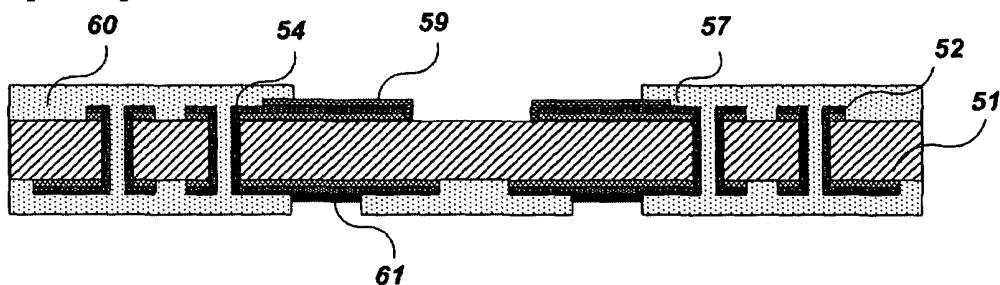
【도 8k】



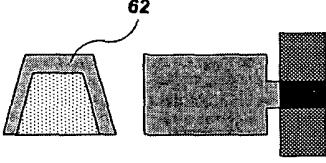
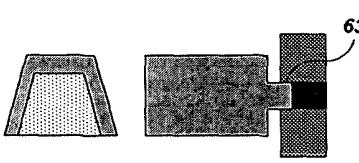
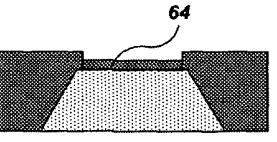
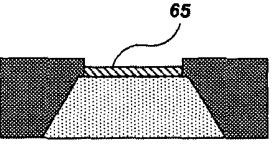
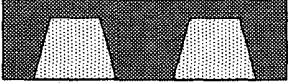
【도 81】



【도 8m】



【도 9】

	전해도금 와이어 인입선이 있는 경우	인입선이 없는 경우
본드 팽거 특성		
볼 패드 특성		
트레이스 특성		

【도 10】

구분 특성	전해도금 와이어 인입선이 있는 경우	인입선이 없는 볼 패드 - OSP	인입선이 없는 볼 패드-무전해 금도금
전기적 성능	나쁨	양호	양호
선 밀집도	나쁨	양호	양호
신뢰성	보통	양호	양호
생산성	양호	보통	보통
수율	양호	양호	양호
비용	보통	보통	나쁨
Lead Time	양호	나쁨	나쁨

【도 11a】

